

Family list**10** family members for:**JP8293598**

Derived from 7 applications.

- 1 Semiconductor device and manufacturing method thereof**
Publication Info: **CN1089949C C** - 2002-08-28
CN1140336 A - 1997-01-15
- 2 Semiconductor device and mfg. method thereof**
Publication Info: **CN1201407C C** - 2005-05-11
CN1334606 A - 2002-02-06
- 3 Semiconductor device and manufacturing method thereof**
Publication Info: **CN1607652 A** - 2005-04-20
- 4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Publication Info: **JP3470133B2 B2** - 2003-11-25
JP8274330 A - 1996-10-18
- 5 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication Info: **JP8293598 A** - 1996-11-05
- 6 Semiconductor device and manufacturing method thereof**
Publication Info: **US6306709 B1** - 2001-10-23
- 7 Semiconductor device and manufacturing method thereof**
Publication Info: **US6498376 B1** - 2002-12-24

Data supplied from the *esp@cenet* database - Worldwide

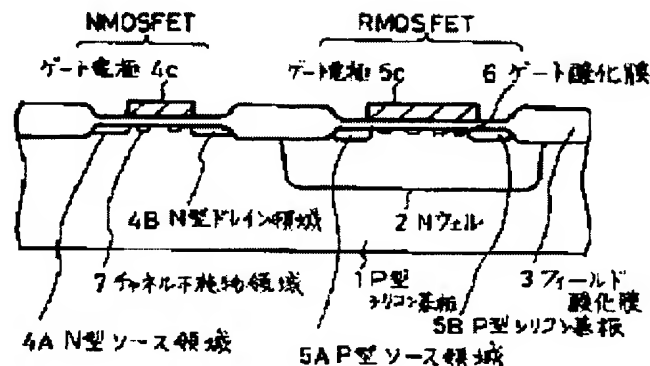
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP8293598
Publication date: 1996-11-05
Inventor: KOJIMA YOSHIKAZU
Applicant: SEIKO INSTR INC
Classification:
- international: **H01L21/8234; H01L27/088; H01L29/78; H01L21/70; H01L27/085; H01L29/66; (IPC1-7): H01L29/78; H01L21/8234; H01L27/088**
- european:
Application number: JP19950097227 19950421
Priority number(s): JP19950097227 19950421

Report a data error here

Abstract of JP8293598

PURPOSE: To form a plurality of types of threshold voltages by one photolithography by planely dividing to provide a plurality of channel impurity regions on a channel region between a source region and a drain region, and providing an insulated gate field effect transistor on the channel region via a gate insulating film. **CONSTITUTION:** An NMOSFET is formed on the surface of a P-type silicon substrate 1 not formed with an N-type well 2. An N-type source region 4A and an N-type drain region 4B isolated at the channel region are provided in the NMOSFET. A plurality of divided channel impurity regions 7 are provided in a dotlike plane manner on the channel region of the surface of the substrate 1 between the regions 4A and 4B. Further, a gate electrode 4C is provided on the surface of the channel region via a gate oxide film 6. Thus, a plurality of types of threshold voltages can be formed on the same substrate 1 by one time photolithography.



Data supplied from the **esp@cenet** database - Worldwide

【特許請求の範囲】

【請求項 1】 基板表面の第 1 導電型の半導体領域に互いに離れ設けられた第 2 導電型のソース・ドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体領域であるチャンネル領域と、前記チャンネル領域に平面的に分割されて設けられた閾値制御のための複数のチャンネル不純物領域と、前記チャンネル領域の上にゲート絶縁膜を介して設けられたゲート電極とから成る絶縁ゲート電界効果型トランジスタ (M I S F E T) を設けたことを特徴とする半導体装置。

【請求項 2】 前記チャンネル不純物領域を前記ソース・ドレイン領域の接合深さより浅く設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記チャンネル不純物領域を 5 個以上設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記ゲート絶縁膜と膜厚の異なる第 2 のゲート絶縁膜を有する第 2 の M I S F E T を前記基板表面に設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記基板表面に設けられるとともに、前記半導体領域と不純物濃度の異なる第 2 の半導体領域に第 2 の M I S F E T を設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記基板表面に設けられるとともに、前記半導体領域と導電型の異なる第 2 導電型の第 2 の半導体領域に第 2 の M I S F E T を設けた請求項 1 記載の半導体装置。

【請求項 7】 前記 M I S F E T から成るアナログ回路と、前記チャンネル領域に比べ 1 桁以上面積の小さい第 2 のチャンネル領域から成る第 2 の M I S F E T により構成されるデジタル回路とを前記基板表面に設けた請求項 1 記載の半導体装置。

【請求項 8】 半導体基板と前記半導体基板の上に設けた絶縁膜から前記基板を構成するとともに、前記半導体領域の厚さを $10\mu\text{m}$ より薄く形成したことを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 前記半導体領域の厚さが前記チャンネル領域と同等の膜厚である請求項 8 記載の半導体装置。

【請求項 10】 前記半導体領域の厚さが前記チャンネル不純物領域の深さと同じである請求項 8 記載の半導体装置。

【請求項 11】 基板表面の第 1 導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第 1 のトランジスタ領域と第 2 のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、前記第 1 のトランジスタ領域の表面にチャンネル不純物領域を形成するためのレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記第 1 のトランジスタ領域の表面に不純物をイオン注入して前記チャンネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート

電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第 1 のトランジスタ領域の表面に第 2 導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記チャンネル不純物形成領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法。

【請求項 12】 前記第 1 のトランジスタ領域に第 1 のゲート絶縁膜を形成する工程と、前記第 2 のトランジスタ領域に前記第 1 のゲート絶縁膜より膜厚の薄い第 2 のゲート絶縁膜とを形成する工程とから成る請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記第 1 のトランジスタ領域の前記ソース・ドレイン領域を含む前記半導体領域の表面に第 2 導電型のウェル領域を形成する工程と、前記第 1 のトランジスタ領域の前記ソース・ドレイン領域として第 1 導電型の不純物をドーピングする工程と、前記第 2 のトランジスタ領域のソース・ドレイン領域として第 2 導電型の不純物をドーピングする工程とから成る請求項 11 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置を構成する MOS トランジスタのチャンネル領域の構成に係わり、特にチャンネル領域の不純物濃度に関する。この発明は、同一基板上に複数の閾値電圧を有する MOS トランジスタから構成される集積回路半導体装置及びその製造方法に関する。

【0002】 この発明は、同一基板上に異なる導電型の MOS トランジスタを有する集積回路半導体装置及びその製造方法に関する。この発明は、同一基板上に異なるゲート電圧が印加される高耐圧及び低電圧用の MOS トランジスタを有する集積回路半導体装置及びその製造方法に関する。

【0003】 この発明は、同一基板上にアナログ回路とデジタル回路とから成る半導体装置及びその製造方法に関する。この発明は、基板上の絶縁膜を介して設けられた薄膜半導体に形成された半導体装置及びその製造方法に関する。

【0004】

【従来の技術】 図 19 は、従来の半導体集積回路装置内の MOS トランジスタを表す模式的な平面図である。今図 19 においては、3 種類のトランジスタのソース、ドレイン及びゲートを模式的に表しており、簡単のためアルミニウムの金属配線等は省いてある。

【0005】 トランジスタ 1、2、3 はそれぞれ異なるしきい値電圧 (V_{th}) を持つものである。図 20 は、

10

20

30

40

50

従来の半導体集積回路装置内の MOS トランジスタを表す模式的な断面図である。

【 0 0 0 6 】 トランジスタ 1 においてチャネル領域 2 0 0 4 の不純物濃度は、例えば半導体基板 2 0 0 6 の不純物濃度で決まる値とし、しきい値電圧を V_{th1} とする。トランジスタ 2 のしきい値電圧 V_{th2} を V_{th1} と異なる値にしたい場合は不純物を導入する領域を選択するためのマスク等を用いてレジスト等をパターンニング後、イオン打ち込みなどで不純物を導入し、トランジスタ 1 のチャネル領域 1 とは異なる不純物濃度のチャネル領域 2 を形成する。

【 0 0 0 7 】 このときイオン打ち込み用マスク 1 のパターン 1 9 0 5 は、図 1 9 (b) のようにマスクの合わせずれ等を考慮して、チャネル領域よりわずかに大きくかつ全面を覆うように作られる。このようにすることでトランジスタ 2 の V_{th2} とトランジスタ 1 の V_{th1} とは異なるものが形成でき、同様にしてトランジスタ 3 の V_{th3} のように必要な種類と必要な不純物を導入し必要なしきい値電圧のトランジスタを形成する。

【 0 0 0 8 】 また、図示しないが、同一基板の表面に厚いゲート酸化膜の高電圧 MOS FET と、薄いゲート酸化膜の低電圧 MOS FET とを設けた IC においては、各々の閾値電圧をほぼ同じ値にするために、フォトリソグラフィ技術により各々の MOS FET のチャネル領域の均一な不純物領域の濃度を制御している。

【 0 0 0 9 】 同様に、PMOS FET と NMOS FET から成る CMOS IC においても、ほぼ同じ閾値電圧にするために、別々のチャネルドーピング工程により行っている。

【 0 0 1 0 】

【 発明が解決しようとする課題 】 しかし、従来の半導体集積回路装置内の MOS トランジスタは前述したようにそれぞれ均一な不純物濃度のチャネル領域を持つために、単一の半導体基板上に形成される半導体集積回路装置内に複数種類のしきい値電圧のトランジスタを形成するには、必要な種類数の不純物あるいは不純物濃度を導入する工程が必要であった。

【 0 0 1 1 】 したがって単一の半導体基板上に形成される半導体集積回路装置内に複数種類のしきい値電圧のトランジスタを形成することは、コスト増の原因でもあり回路設計上の制約にもなった。また、チャネルドーピング前の閾値電圧が異なる構造のトランジスタを同一基板上に設け IC においては、電源電圧の範囲に閾値電圧を合せこむための複数回のフォトリソグラフィ工程が必要であった。したがって、異なるゲート絶縁膜、異なる基板濃度、または、異なる導電型の MOS FET の閾値電圧を制御するには製造期間が長く、製造コストも高くなっていた。

【 0 0 1 2 】

【 課題を解決するための手段 】 上記課題を解決するため

に、この発明は、以下のような手段をとった。

(1) 基板表面の第 1 導電型の半導体領域に互いに離れ設けられた第 2 導電型のソース・ドレイン領域と、ソース領域とドレイン領域との間の半導体領域であるチャネル領域と、チャネル領域に平面的に分割されて設けられた閾値制御のための複数のチャネル不純物領域と、チャネル領域の上にゲート絶縁膜を介して設けられたゲート電極とから成る絶縁ゲート電界効果型トランジスタ (MIS FET) を設けたことを特徴とする半導体装置とした。

【 0 0 1 3 】 (2) チャネル不純物領域をソース・ドレイン領域の接合深さより浅く設けたことを特徴とする

(1) の半導体装置とした。

(3) チャネル不純物領域を 5 個以上設けたことを特徴とする (1) の半導体装置とした。

【 0 0 1 4 】 (4) ゲート絶縁膜と膜厚の異なる第 2 のゲート絶縁膜を有する第 2 の MIS FET を基板表面に設けたことを特徴とする (1) の半導体装置とした。

(5) 基板表面に設けられるとともに、半導体領域と不純物濃度の異なる第 2 の半導体領域に第 2 の MIS FET を設けたことを特徴とする (1) の半導体装置とした。

【 0 0 1 5 】 (6) 基板表面に設けられるとともに、半導体領域と導電型の異なる第 2 導電型の第 2 の半導体領域に第 2 の MIS FET を設けた (1) の半導体装置とした。

(7) MIS FET から成るアナログ回路と、チャネル領域に比べ 1 桁以上面積の小さい第 2 のチャネル領域から成る第 2 の MIS FET により構成されるデジタル回路とを基板表面に設けた (1) の半導体装置とした。

【 0 0 1 6 】 (8) 半導体基板と半導体基板の上に設けた絶縁膜から基板を構成するとともに、半導体領域の厚さを $10 \mu m$ より薄く形成したことを特徴とする (1) の半導体装置とした。

(9) 半導体領域の厚さがチャネル領域と同等の膜厚である (8) の半導体装置とした。

【 0 0 1 7 】 (10) 半導体領域の厚さがチャネル不純物領域の深さと同じである (8) の半導体装置とした。

(11) 基板表面の第 1 導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、半導体領域の第 1 のトランジスタ領域と第 2 のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、第 1 のトランジスタ領域の表面にチャネル不純物領域を形成するためのレジストパターンを形成する工程と、レジストパターンをマスクとして第 1 のトランジスタ領域の表面に不純物をイオン注入してチャネル不純物領域を形成する工程と、ゲート絶縁膜のうにゲート電極をパターンニングする工程と、ゲート電極により区切られるように第 1 のトランジスタ領域の表面に第 2 導電型のソース・ドレイン領域を形成する工程と、ゲート電極の上に中間絶縁膜を形成する工程

と、中間絶縁膜にコンタクトホールを形成する工程と、コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、チャネル不純物形成領域がソース領域とドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法とした。

【0018】(12) 第1のトランジスタ領域に第1のゲート絶縁膜を形成する工程と、第2のトランジスタ領域に第1のゲート絶縁膜より膜厚の薄い第2のゲート絶縁膜とを形成する工程とから成る(11)の半導体装置の製造方法とした。

(13) 第1のトランジスタ領域のソース・ドレイン領域を含む半導体領域の表面に第2導電型のウェル領域を形成する工程と、第1のトランジスタ領域のソース・ドレイン領域として第1導電型の不純物をドーピングする工程と、第2のトランジスタ領域のソース・ドレイン領域として第2導電型の不純物をドーピングする工程とから成る(11)の半導体装置の製造方法とした。

【0019】

【作用】絶縁ゲート電界効果型トランジスタ(MOSFETと略す)の閾値電圧 V_{TH} は以下の式によって表すことができる。

$$V_{TH} = \phi_{s1} + (Q_{s1} / C_{ox1}) + 2\phi_i \quad (1)$$

ϕ_{s1} は、基板とゲート電極との仕事関数差である。 Q_{s1} は、チャネル領域に発生する単位面積当りの空乏電荷量

$$V_{TH} = \phi_{s1} + \alpha \cdot (Q_{s1} / C_{ox1}) + \beta \cdot (Q_{s2} / C_{ox2}) + 2\phi_i \quad (3)$$

$0 \leq \alpha + \beta \leq 1$ の定数である。 Q_{s1} 及び Q_{s2} は、それぞれ異なる不純物領域のチャネル領域の表面から基板の深さ方向に沿ったチャネル深さ方向の単位面積当りの空乏電荷量である。 ϕ_{s1} 及び ϕ_i は、実効値な値であり、チャネル領域の不純物濃度が複数種類・複数領域存在するために実質的には実験的に求めることができる。(3)式より、例えば、ゲート絶縁膜が異なる各々のトランジスタにおいて、チャネル領域の不純物をパターンニングすることにより、一回のフォトリソグラフィーによりほぼ同じ閾値電圧に制御することができる。また、同一基板上に設けられたN型及びP型のMOSFETにおいても同様の手段により、エンハンス側にほぼ同じ閾値電圧に制御することができる。

【0023】即ち、1回のフォトリソグラフィーにより以下の特徴を有する集積回路を形成できる。

(1) 同一基板上に複数種類(少なくとも3種類以上、用途に応じて5種類以上)の閾値電圧を有するMOSトランジスタを簡単に形成できる。

【0024】(2) ゲート絶縁膜厚またはゲート絶縁膜種類の異なるMOSトランジスタの閾値電圧をほぼ同じレベル方向の値に制御できる。

(3) 基板濃度の異なるMOSトランジスタの閾値電圧をほぼ同じレベル方向の値に制御できる。

【0025】(4) ゲート電極の濃度または材料が異な

である。 C_{ox1} は、ゲート絶縁膜の単位面積当りの容量である。

【0020】 ϕ_i は、基板のフェルミレベルである。チャネル領域内に、局所的に異なる閾値電圧 V_{T1} 、 V_{T2} を有する領域を各々複数の領域設けた場合の全体の閾値電圧 V_{TH} は次式となる。

$$V_{TH} = A V_{T1} + B V_{T2} \quad (2)$$

$0 \leq A, B \leq 1$ の定数であり、各々の領域のパターン形状に依存する。従って、フォトリソグラフィー技術により、定数AとBを制御することにより、同一基板上に複数の種類の閾値電圧を1回のフォトリソグラフィーにより形成することができる。但し、常に、 $V_{T1} \leq V_{TH} \leq V_{T2}$ と各々の局所的閾値電圧の間に設定される。局所的閾値電圧とは、均一な不純物濃度でチャネル領域を形成した場合のチャネルサイズに依存しない(非常に大きなサイズのトランジスタ)閾値電圧であり、(1)式より数学的に導かれる値である。

【0021】また、ゲート絶縁膜容量(ゲート絶縁膜厚、ゲート絶縁膜の種類)、基板濃度または、 ϕ_{s1} が異なるMOSトランジスタにおいて、1回のフォトリソグラフィーにより、チャネル領域に局所的に異なる不純物領域をパターンニングすることでねらいの閾値電圧にすることができる。即ち、異なる不純物領域をパターンニングした場合には、閾値電圧は次式のように近似される。

【0022】

るMOSトランジスタの閾値電圧をほぼ同じレベル方向の値に制御できる。

(5) 異なる導電型(例えばNMOSFETとPMOSFET)のトランジスタの閾値電圧の絶対値をほぼ同じレベル方向の値に制御できる。

【0026】(6) 厚いゲート絶縁膜の高電圧MOSFETと薄いゲート絶縁膜の低電圧MOSFETの各々の閾値電圧を同じレベル方向の値に制御できる。

(7) 出力電圧がほぼ電源電圧または接地レベルのデジタル回路部のトランジスタと、出力電圧が電源電圧と接地レベルの間の中間電圧であるアナログ回路部のトランジスタの各々の閾値電圧を異なる複数のねらい値に制御できる。

【0027】

【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は、本発明に係わる第1の実施例のMOSトランジスタを表す模式的な平面図である。

【0028】ここで第1の実施例のMOSトランジスタをP型半導体基板上に形成されるN型MOSトランジスタとすると第1の不純物濃度のチャネル領域104の不純物濃度はP型半導体基板によってきまり、第2の不純物濃度のチャネル領域105の不純物濃度は不純物導入用マスクのパターン106によりパターンニングされたレジスト等で選択された領域にイオン打ち込み等により

不純物を導入する事によりきまるが、不純物導入用マスクのパターン106がトランジスタのチャンネル長と平行な方向に複数の短冊状に描かれているため、第2の不純物濃度のチャンネル領域を形成するために導入される不純物も同様にトランジスタのチャンネル長と平行な方向の短冊状に導入される。

【0029】その結果、第1の不純物濃度のチャンネル領域104と第2の不純物濃度のチャンネル領域105はそれぞれチャンネル長と平行な方向の複数の短冊状に形成される。さらに、不純物導入用マスクパターンの幅107と不純物導入用マスクパターンの間隔108の組み合わせにより、チャンネル領域全面に対する第2の不純物濃度のチャンネル領域の面積比を所望の値に決定する。また、同一の面積比であっても不純物導入用マスクパターンの幅107と間隔108のサイズが異なる場合もある。

【0030】第2の不純物濃度の領域は、一般的にチャンネルドープの工程において形成される。その後の熱処理により不純物分布は変化する。しかし、その深さは、少なくともソース領域102及びドレイン領域103の接合深さより浅く形成されている。第2の不純物濃度の領域の深さをより浅くすることにより、閾値の制御精度を高くすることができる。

【0031】図2は、本発明に係わる集積回路型半導体装置の断面図である。P型シリコン基板1の表面に深さが1~5 μ m程度のNウェルが形成されている。Nウェル内にPMOSFETが形成されている。Nウェル2の形成されていないP型シリコン基板1の表面にはNMOSFETが形成されている。NMOSFETはN型ソース領域4Aと、チャンネル領域離れてN型ドレイン領域4Bが設けられている。ソース領域4Aとドレイン領域4Bとの間の基板1の表面であるチャンネル領域には、第1の実施例と同様のチャンネル不純物領域7がドット状に平面的に複数分割されて設けられている。チャンネル領域の表面にはゲート酸化膜6を介してゲート電極4Cが設けられている。PMOSFETも同様に導電型を反対して形成されている。

【0032】また、PMOSFETのチャンネル不純物領域の全チャンネル領域に対する割合は、所望のねらい値を得るためにNMOSFETと異なるパターンに形成されている。例えば、チャンネル不純物領域7を設けない場合の各々の閾値電圧が、0.2V(NMOSFET)と-1.5V(PMOSFET)の場合、各々の閾値電圧を0.6Vと-0.6Vに制御するために、不純物元素としてボロンを $4.0 \times 10^{11} \text{ cm}^{-2}$ のイオン注入条件でPMOSFETのチャンネル領域には全面に、NMOSFETには面積比1/5の割合のチャンネル領域に選択的に注入した。即ち、1回のレジストパターン形成と、そのレジストパターンをマスクとしたイオン注入により、導電型の異なるMOSFETの閾値電圧を所望の値に制御できる。図2に示すように、各々のFETのチ

ヤネル領域に各々異なる面積比でイオン注入してもよいが、一般的には、いずれか一方のみ面積比が0または1にする。残りの一方のFETが面積比が0から1の間の中間値により閾値を制御する。

【0033】図2の第2の実施例は、各々のトランジスタの基板となる半導体領域の導電型が異なる場合の本発明の実施例の断面図である。同じ導電型の半導体領域の場合でも、半導体領域の不純物濃度が異なる場合にも同様に閾値電圧を制御できる。例えば、図示しないが、P基板に同じ導電型のPウェルを設け、P基板とPウェル内にそれぞれNMOSFETを形成した場合、P基板内NMOSFETの閾値電圧は0.1Vに対し、濃いPウェル内のNMOSFETの閾値電圧は0.3Vであった。この場合、P基板内NMOSFETのチャンネル領域へは全面ボロニオンを注入して0.6Vに制御した。濃いPウェル内のNMOSFETへのチャンネル領域へ約50%の面積比でイオン注入して同様の閾値電圧0.6Vを得ることができた。

【0034】チャンネル不純物領域7は、ソース・ドレイン領域より浅く形成され、一般にはチャンネルドープにより形成されるので1000Åより浅い不純物分布を有する。チャンネル不純物領域7の不純物を電気的に効率的に閾値電圧制御に用いるためには、各々のMOSFETのチャンネル領域が反転した場合に形成されるチャンネル領域の空乏層の深さより浅く形成することが望ましい。また、閾値の制御性を向上するためには、チャンネル不純物領域を少なくともチャンネル領域内に5つ、望ましくは10つ以上設ける必要がある。

【0035】また、複数のチャンネル不純物領域をチャンネル領域に設けて閾値電圧を制御するトランジスタのサイズは、従来方法による全面イオン注入制御、または、全面イオン注入しないトランジスタのサイズに比べ少なくとも4倍、望ましくは10倍以上のチャンネル領域の面積を必要とする。従って、本発明の半導体装置としては、入出力レベルが"H" "L"のディジタル信号のみ処理するディジタル回路を構成するMOSFETには最小設計ルールを用いてチャンネル領域を均一不純物領域にて形成する。入出力レベルが電源電圧と異なるアナログ信号を処理するアナログ回路を構成するMOSFETには、最小ルールによるトランジスタの約10倍以上のトランジスタで構成し、チャンネル領域に複数のチャンネル不純物領域を設けて閾値を制御することが好ましい。一般に、ICは、アナログ回路とディジタル回路により構成される。しかし、アナログ回路の面積は少ない場合が一般的である。従って、アナログ回路の面積が少し増加しても、製造工程が従来より簡単にできるためコストダウンできる。特に、閾値電圧を数多く必要とする、または、チャンネルドープ前の閾値が数多く存在して合せ込む必要がある場合に大きな効果がある。

【0036】図3は、本発明の第3の実施例の半導体装

置の断面図である。P型シリコン基板1にゲート絶縁膜の膜厚の異なる低電圧MOSトランジスタ(LVMOSFET)と高耐圧MOSトランジスタ(HVMOSFET)が設けられている。LVMOSFETは電源電圧3Vにて動作するために、約100Åのシリコン酸化膜で薄いゲート酸化膜22Cを形成している。HVMOSFETは、電源電圧より大きな電圧(例えば30V)にて動作できるように約1000Åのシリコン酸化膜で厚いゲート酸化膜23Cを形成している。また、LVMOSFETは、ゲート絶縁膜として100Åの酸化膜を用いているために、チャンネル不純物領域22Eをチャンネル領域全面に設けることにより閾値電圧を0.4Vに制御している。

【0037】一方、HVMOSFETは、ゲート絶縁膜が1000Åと厚いために同様に全面オン注入すると閾値電圧は3V以上と非常に大きく変化してしまう。そこで、図3に示すように、HVMOSFETのみ、チャンネル面積に対して10%の割合にのみチャンネル不純物領域23Eを分割して形成することにより0.8V±0.1Vに制御することができた。図3においては、ゲート絶縁膜として、膜厚の異なるMOSFETの閾値電圧制御の実施例を示した。図示しないが、誘電率が異なる材料のゲート絶縁膜を用いても同様に制御できる。例えば、LVMOSFETのゲート絶縁膜としてはシリコン酸化膜を用い、HVMOSFETのゲート絶縁膜としてシリコン酸化膜・シリコン窒化膜・シリコン酸化膜の三層の複合膜を用いて形成することがある。

【0038】このような場合でも、図3のようなチャンネル不純物領域をパターンニングすることにより1回のイオン注入により各々のトランジスタの閾値電圧を所望の値に制御することができる。図4は図3の半導体装置の製造方法を説明するための工程順断面図である。

【0039】まず、図4(a)に示すように各々のトランジスタを電気的に分離するためのフィールド酸化膜3を基板1の表面に形成する。一般的には、P型シリコン基板の上に酸化膜を介してシリコン窒化膜を通常のフォトリソグラフィ技術によりパターンニングする。

【0040】次に、シリコン窒化膜をマスク膜として選択酸化することにより、図4(a)のようなフィールド酸化膜をパターンニングすることができる。シリコン窒化膜の形成されている領域には厚いフィールド酸化膜3が形成されない。選択酸化後に、シリコン窒化膜とシリコン窒化膜の下の薄い酸化膜を除去するとトランジスタ領域のみシリコン表面が露出して図4(a)のようになる。

【0041】次に、図4(b)のように1000℃程度的高温にて1000Åのゲート酸化膜31を形成する。フィールド酸化膜3は5000Å以上の厚い酸化膜である。VLMOSFETとなるトランジスタ領域に100Åのゲート酸化膜を形成するために、図4(b)のよう

にHVMOSFETの領域にレジスト膜32を形成し、レジスト膜32をマスクとしてゲート酸化膜31を除去する。次に、同様に1000℃程度的高温にて、短い酸化時間でシリコン基板1を酸化する。HVMOSFETの領域には1000Åのゲート酸化膜が存在していたのでほとんどそのまま、LVMOSFETの領域にのみ100Åの酸化膜33がゲート酸化膜として形成される。

【0042】次に、図4(d)のようにチャンネル不純物形成のためのレジスト膜34を形成する。図4(d)においては、LVMOSFETの領域には全面レジストが形成されている。一方、HVMOSFETの領域には、チャンネル領域に複数のチャンネル不純物領域36が形成されるように平面的に分割されたレジストの窓が複数チャンネル領域内に形成されている。レジスト膜34をマスクとしてボロンイオンをイオン注入する。

【0043】次に、各々のゲート絶縁膜の上にゲート電極35を形成する。図示しないが、ゲート電極35を形成後、ゲート電極及びフィールド酸化膜をマスクとしてN型の不純物元素ヒ素イオンを注入して、各々のMOSFETのソース・ドレイン領域を形成する。次に、A1配線とゲート電極との間の電気的分離をするための中間絶縁膜を全面に形成する。次に、各々の領域及びゲート電極とA1配線とのコンタクトをするためのコンタクトホールを中間絶縁膜に形成する。次に、コンタクトホールをカバーするようにA1配線をパターンニングして半導体装置を製造する。チャンネル不純物領域を形成するためのイオン注入工程は、図4(a)に示したフィールド酸化膜3の形成と図4(b)と厚いゲート酸化膜形成との間、または、図4(b)の厚いゲート酸化膜形成と図4(c)の薄いゲート酸化膜形成工程との間でもよい。薄い酸化膜33の上にレジスト膜34を形成すると絶縁膜33の歩留りが低下することがある。従って、一般には、厚いゲート酸化膜形成工程と薄い酸化膜形成工程との間にイオン注入工程を行う。

【0044】図5は、本発明の第4実施例のSOI(Silicon On Insulatorの略)基板を用いた半導体装置の説明するための工程順断面図である。本発明は、図5に示すように、チャンネル領域がシリコン薄膜で形成された場合に効果を大きくすることができる。シリコン薄膜は、単結晶、多結晶あるいは、非晶質(アモルファス)いずれの場合も適用できる。チャンネル領域を薄膜で形成することにより、閾値電圧制御のためのチャンネル不純物領域により効果的に制御できる。特に、チャンネル領域の厚さを反転時の空乏層より薄く形成することにより、さらに効果的に制御できる。閾値電圧がチャンネル不純物領域により、主に影響されるためである。SOI基板でない厚い基板の場合には、反転になる場合の空乏層の電荷が反転層の下に多く形成される。SOI基板においては、チャンネル領域が空乏層より薄い膜

のために空乏電荷量が少ない。空乏電荷量は基板濃度の関数であるが、基板が無いために閾値電圧はほとんどチャネル領域内の不純物濃度分布によって制御される。

【0045】図5を用いて製造方法を説明する。シリコン基板1の表面に1 μ mの酸化膜41を介して1000Aの単結晶シリコン膜42が設けられている。チャネル不純物領域を形成するためのレジストパターン43を通常のフォトリソグラフィ技術により形成する。MOSFETのチャネル領域にレジスト膜の複数の窓を設けている。レジスト膜43をマスクとしてボロンイオンを単結晶シリコン膜42へイオン注入する。

【0046】次に、必要に応じて、図5(b)のように、ボロンを1000℃程度の高温にて熱拡散することにより不純物分布を一様に平均化する。次に、通常のフォトリソ工程によりトランジスタ領域にレジスト膜46をパターンニングして分離領域を形成する。図4(c)においては、レジスト膜46をマスクにして異なる不純物濃度分布となったシリコン膜44、45をエッチング除去する。分離形成は、選択酸化により形成してもよい。

【0047】次に、図4(d)のようにLV MOSFETに薄いゲート絶縁膜47をHV MOSFETに厚いゲート酸化膜48を形成する。次に、図4(e)のように各々のゲート絶縁膜の上にゲート電極49を形成する。

【0048】次に、図4(d)のようにゲート電極49をマスクとしてN型不純物をイオン注入してLV NMOSFETとHV NMOSFETを形成する。少なくともいづれか一方のチャネル領域には、図4(a)でイオン注入された形成されたチャネル領域不純物領域が平面的に分割されて複数設けられている。

【0049】SOI基板においては、図4(b)の熱拡散の条件と図4(a)のレジスト膜の間隔との関係により、チャネル不純物領域を分割せずに、平均的に均一分布として異なる濃度として形成することもできる。均一分布に制御したい場合には、不純物の拡散長よりレジスト膜の間隔を充分小さく形成すればよい。

【0050】また、図5においては、半導体領域として1000Aと非常に薄いSOI基板の場合の実施例について説明した。熱拡散を充分した場合には、チャネル不純物領域がシリコン薄膜の底に達する。この場合には、閾値電圧は、ほとんどチャネル不純物領域により主に制御されることになる。即ち、半導体領域の厚さが、チャネル不純物領域の深さとほぼ同じになる場合には、空乏層の影響が小さくなるために閾値電圧の制御性がより高くできる。また、チャネル不純物領域の深さ程度まで半導

体領域としてのシリコン薄膜を薄くせずとも効果を得ることができる。少なくとも、チャネル領域である空乏層の深さよりシリコン薄膜を薄くできれば空乏層の影響は小さくなるため閾値制御感度を高くできる。一般に、従来の厚い半導体基板と異なるSOI基板においては10 μ m以下のシリコン薄膜が用いられている。また、図示しないが、各々異なる膜厚のシリコン薄膜を有するMOSFETに対しても同様な方法にて容易に閾値電圧を制御できる。また、CMOSSOI ICも同様な方法にて形成できる。

【0051】

【発明の効果】この発明は、以上説明したように一回の同時に行うチャネルドーピングのような不純物導入工程により以下の半導体装置を簡単に製造できる効果を有する。

(1) 同一基板上に非常に多くの種類の閾値電圧を有するMOSFETを形成できる。

【0052】(2) ほぼ同じレベルの閾値電圧を有する高耐圧MOSFETと低電圧MOSFETを形成できる。

(3) ほぼ同じレベルの閾値電圧を有するN型MOSFETとP型MOSFETを形成できる。

【図面の簡単な説明】

【図1】本発明における第1の実施例のMOSトランジスタ半導体装置の模式的平面図である。

【図2】本発明の第2実施例のCMOS ICの断面図である。

【図3】本発明の第3実施例の高耐圧MOS内蔵ICの断面図である。

【図4】本発明の第3の実施例の高耐圧MOS内蔵ICの製造工程順断面図である。

【図5】本発明の第4の実施例のSOI半導体装置の製造工程順断面図である。

【図6】(a), (b), (c)は、従来のMOSトランジスタの模式的平面図である。

【図7】従来の技術によるMOSトランジスタの模式的断面図である。

【符号の説明】

101 ゲート電極

102 ソース領域

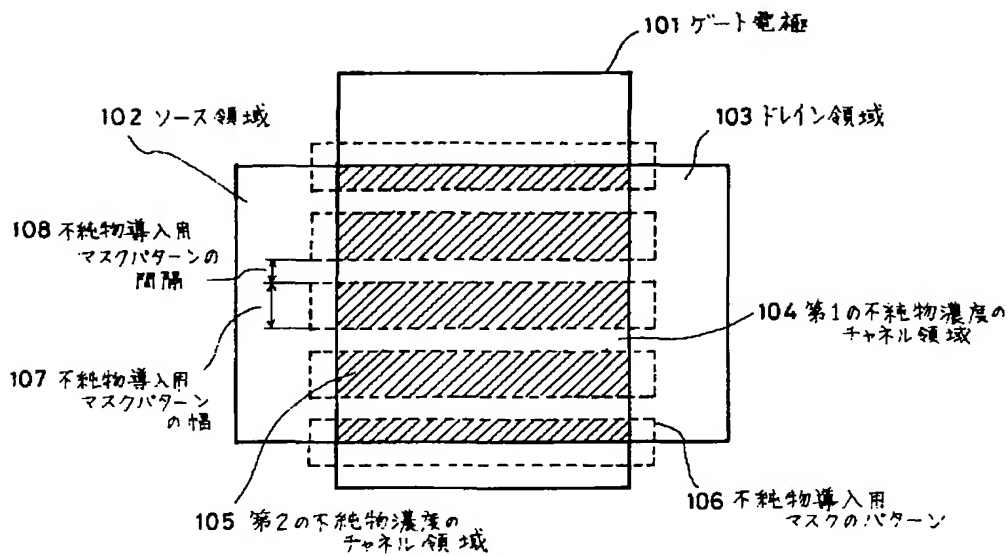
103 ドレイン領域

104 第1の不純物濃度のチャネル領域

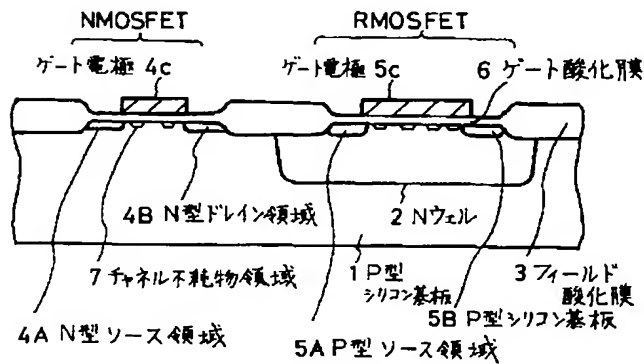
105 第2の不純物濃度のチャネル領域

106 不純物導入用レジストマスクのパターン

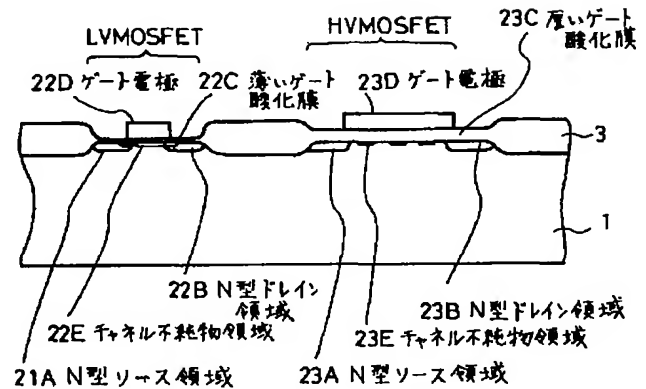
【図1】



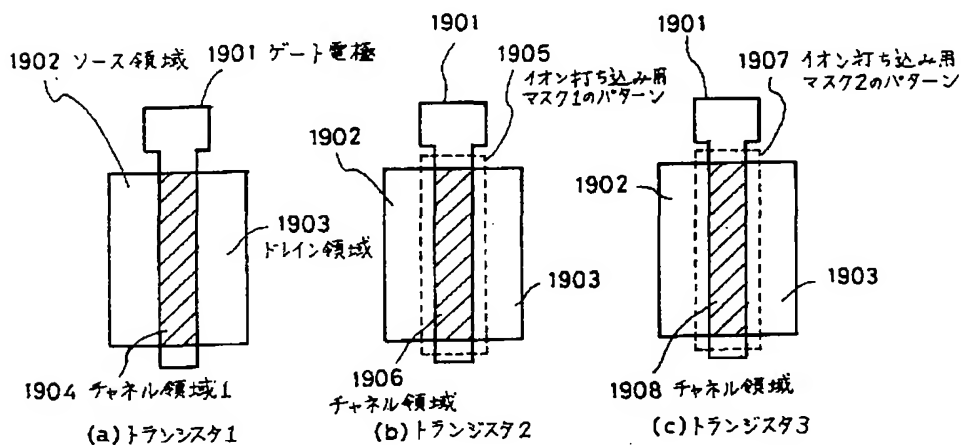
【図2】



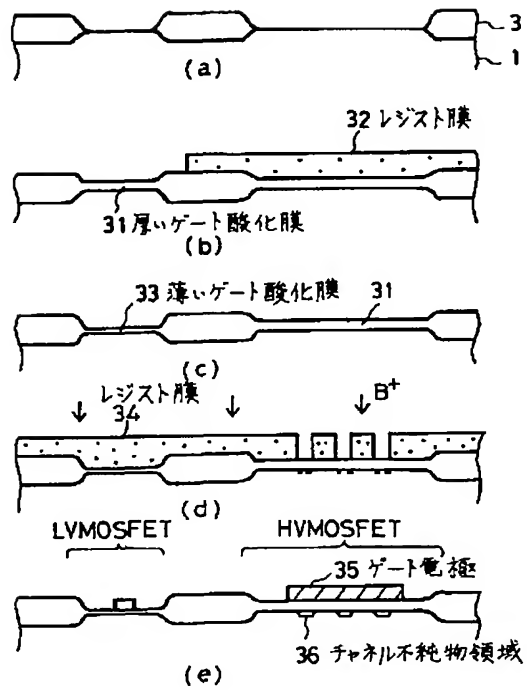
【図3】



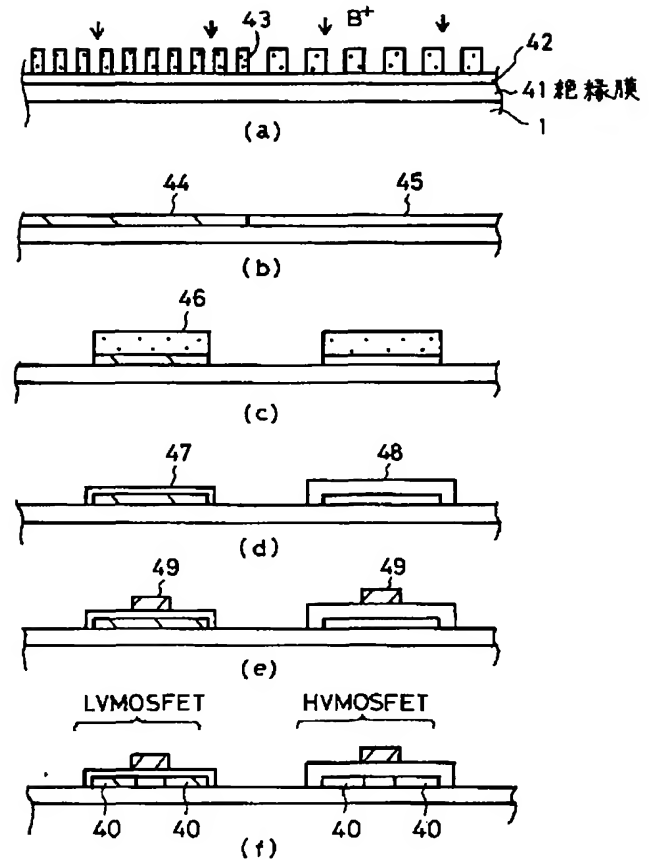
【図6】



【図 4】



【図 5】



【図 7】

